

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

출력 일자: 2003/4/1

발송번호 : 9-5-2003-011675290

수신 : 서울 중구 남대문로2가 118 해운센터빌딩

발송일자 : 2003.03.31

본관17층

제출기일 : 2003.05.31

백덕열 귀하

100-770

## 특허청 의견제출통지서

### NOTICE OF REQUEST FOR SUBMISSION OF ARGUMENT

출원인 명칭 샤프 가부시키가이샤 (출원인코드: 519980961371)  
주소 일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고

대리인 성명 백덕열 외 1 명  
주소 서울 중구 남대문로2가 118 해운센터빌딩본관17층

출원번호 10-2001-0023175

발명의 명칭 강유전체 박막을 갖는 반도체 장치 및 그의 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

#### [이유]

이 출원의 특허청구범위 제1-24항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

이 출원은 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제5항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

#### [아래]

1. 청구항 제1-18항 및 제21-23항의 제1온도에서 최하층과 최상층 사이의 중간층을 결정화시키는 공정, 제1온도보다 낮은 제2온도에서 최하층과 최상층을 결정화시키는 공정을 갖는 반도체장치 제조방법은 인용발명1(한국공개특허공보 1999-61803호(1999.07.26))의 중간의 강유전체막 보다 결정화 온도가 낮은 하부 시드막을 형성하는 단계와 시드막 보다 결정화 온도가 높은 강유전체막을 형성하는 단계, 중간층의 강유전체막 보다 결정화 온도가 낮은 상부 시드막을 형성하는 단계를 갖는 반도체장치 제조방법 및 인용발명2(한국공개특허공보 1998-60530호(1998.10.07))의 3중구조의 유전체막을 형성하는 단계와 열처리 단계를 갖는 반도체장치 제조방법 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)
2. 청구항 제19, 20, 24항의 최하층과 최상층의 결정입자가 중간층의 결정입자보다 작은 강유전체 박막을 갖는 반도체장치는 인용발명1의 최하층과 최상층의 결정입자가 중간층의 결정입자보다 작은 강유전체 박막을 갖는 반도체장치 및 인용발명2의 3중구조의 강유전체막을 갖는 반도체장치 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)
3. 청구항 제12-17항은 20이상의 항을 인용하는 종속항으로 20이상의 항이 인용된 다른 종속항을 인용하고 있으므로 청구범위 기재방법(특허법시행령 제5조제6항)에 위배됩니다.(특허법 제42조제5항)

#### [첨부]

첨부 1 한국공개특허공보 1999-61803호(1999.07.26) 1부

첨부2 한국공개특허공보 1998-60530호(1998.10.07) 1부 끝.

출력 일자: 2003/4/1

2003.03.31

특허청

심사4국

반도체2심사담당관실

심사관 김근모



<<안내>>

문의사항이 있으시면 ☎ 042-481-5985 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지([www.kipo.go.kr](http://www.kipo.go.kr))내 부조리신고센터

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>8</sup> H01L 27/10	(11) 공개번호 (43) 공개일자	특1999-0061803 1999년 07월 26일
(21) 출원번호	10-1997-0082093	
(22) 출원일자	1997년 12월 31일	
(71) 출원인	삼성전자 주식회사 윤증용	
(72) 발명자	김병희	
	경기도 수원시 팔달구 매탄3동 416	
	서울특별시 마포구 망원동 415-49	
	박홍배	
	서울특별시 구로구 구로6동 128-4	
(74) 대리인	권석홍, 노민식, 이영필	

**심사청구 : 있음**

**(54) 강유전체 메모리 장치 및 그 제조 방법**

**요약**

강유전체 메모리 장치 및 그 제조 방법에 관해 개시한다. 본 발명에 따른 강유전체 메모리 장치는 강유전체막의 상, 하부에 각각 시드막을 구비한다. 상, 하부 시드막은 강유전체막의 상, 하 계면 특성을 동일하게 하기 위하여 형성한다. 상, 하부 시드막에 의해 강유전체막의 상, 하 계면 특성이 동일하게 되기 때문에 하부 시드막-강유전체막-상부 시드막 구조를 포함하는 강유전체 메모리 장치에서는 임프린트와 같은 현상의 발생이 효과적으로 방지된다.

**도표도**

**도1**

**명세서**

**도면의 간단한 설명**

도 1 은 강유전체 커패시터에 축적된 전하량의 변화를 검출하는 방식을 사용하는, 본 발명의 제1 실시예에 의한 강유전체 메모리 장치의 단면도이다.

도 2 는 강유전체 커패시터에 축적된 전하량의 변화를 검출하는 방식을 사용하는, 본 발명의 제2 실시예에 의한 강유전체 메모리 장치의 단면도이다.

도 3 은 강유전체의 자발분극에 의한 반도체의 저항변화를 검출하는 방식을 사용하는, 본 발명의 제3 실시예에 의한 강유전체 메모리 장치의 단면도이다.

도 4 는 강유전체의 자발분극에 의한 반도체의 저항변화를 검출하는 방식을 사용하는, 본 발명의 제4 실시예에 의한 강유전체 메모리 장치의 단면도이다.

도 5 내지 도 7 은 도 1에 도시되어 있는 본 발명의 제1 실시예에 따른 강유전체 메모리 장치의 제조 방법을 설명하기 위한 공정 중간 단계 구조물들의 단면도들이다.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 메모리 장치 및 그 제조 방법에 관한 것으로, 특히 강유전체 메모리 장치(ferroelectric random access memory:FRAM) 및 그 제조 방법에 관한 것이다.

강유전체는 강유전성을 지니는 물질이다. 강유전성이란 강유전체내에 배열된 전기 쌍극자(electric dipole)들에 외부 전압이 인가되면 자발분극(spontaneous polarization)이 발생되고 그 자발분극은 외부 전계가 제거된 후에도 어느정도의 잔류분극(remnant polarization)을 보유하게 되는 성질을 말한다. 강유전체의 잔류분극을 데이터의 저장으로 이용하면, 외부의 전압이 없어도 데이터의 저장이 가능해진다. 또한 자발분극의 방향은 외부전계의 방향을 변화시켜서 바꿀 수 있다.

강유전체를 이용한 FRAM은 크게 두가지 방식으로 구분되는데, 강유전체 커패시터에 축적된 전하량의 변

화를 검출하는 방식과 강유전체의 자발분극에 의한 반도체의 저항변화를 검출하는 방식이 그것이다.

상기 강유전체 커패시터의 축적 전하량을 검출하는 방식에는 하나의 커패시터와 하나의 트랜지스터로 단위셀을 형성하는 구조가 대표적이다. 이 방식은 DRAM에서 널리 사용되고 있는 것으로, 상보형 MOS(CMOS) 구조 위에 두꺼운 층간절연막을 형성하고 그 위에 강유전체 커패시터를 형성하는 구조이다.

강유전체의 자발분극에 의한 반도체의 저항변화를 검출하는 방식으로는, MFIS FET(Metal-Ferroelectric-Metal-Insulator-Semiconductor FET) 구조가 대표적이다. 이 방식은 하나의 트랜지스터로 단위셀을 형성하는 구조이다.

상기 강유전체 커패시터의 축적 전하량을 검출하는 방식이나 강유전체의 자발분극에 의한 반도체의 저항변화를 검출하는 방식 모두 하부 금속막-강유전체막-상부 금속막이 적층되어 형성된 강유전체 커패시터 구조를 포함한다.

가장 널리 사용되는 강유전체 커패시터는 강유전체막으로 PZT ( $\text{Pb}(\text{Zr}_{x}\text{Ti}_{1-x})\text{O}_3$ )를 사용한다. 강유전체막으로 PZT( $\text{Pb}(\text{Zr}_{x}\text{Ti}_{1-x})\text{O}_3$ )가 사용되는 이유는 큐리(Curie)온도가 230-490°C로 비교적 높고, Zr/Ti 조성 및 온도에 따라 여러 가지 서로 다른 결정상을 가지며, 유전율이 높기 때문이다.

그러나, 종래의 하부 금속막-PZT막-상부 금속막 구조의 커패시터에서는 이력 곡선(hysteresis)이 전기장(electric field) 축을 따라 양의 방향 또는 음의 방향으로 이동하는 임프린트(imprint) 현상이 발생하는 문제점이 있다. 임프린트(imprint)가 발생하면, 양의 항전압(coercive voltage)과 음의 항전압의 절대값이 달라져 대칭성이 파괴되고 잔류분극(Pr)값도 감소한다.

이렇게 임프린트(imprint)가 발생하는 이유중의 하나는 PZT막의 열처리 공정에 의하여 PZT막의 상하 계면 특성이 달라지는 것에 기인한다. 즉, 하부 금속막위에 PZT막을 증착한 후, PZT막을 결정화하기 위하여 열처리할 경우 PZT막내의 Pb가 하부 금속막과의 계면으로 이동하여 하부 금속막과 PZT막의 계면을 변화시킨다. 반면 상부 금속막은 이미 열처리가 완료된 PZT 막위에 형성되기 때문에 하부 금속막과 같은 변화가 없다. 따라서 PZT막의 상, 하 계면이 달라져서 임프린트가 발생한다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상, 하 계면 특성이 동일한 강유전체막을 포함하여 임프린트와 같은 문제점이 발생하지 않는 강유전체 메모리 장치를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 상, 하 계면 특성이 동일한 강유전체막을 포함하는 강유전체 메모리 장치의 제조에 적합한 제조 방법을 제공하는 것이다.

#### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따른 강유전체 메모리 장치는 강유전체막의 상, 하부에 각각 시드막을 구비하는 강유전체 커패시터를 구비한다. 즉, 본 발명에 따른 강유전체 메모리 장치는 반도체 기판상에 하부 전극, 하부 시드막, 강유전체막, 상부 시드막 및 상부 전극이 차례대로 적층된 강유전체 커패시터를 구비한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 강유전체 메모리 장치의 제조 방법에 따르면, 먼저 반도체 기판상에 하부 전극, 하부 시드막, 강유전체막, 상부 시드막을 차례대로 형성한다. 다음에 상부 시드막이 형성된 결과물을 열처리하여 상기 강유전체막을 안정한 페로브스카이트 결정 구조로 만들고 상기 강유전체막의 상, 하 계면을 동일하게 만든 후, 상부 전극을 형성한다.

본 발명에 있어서, 상기 강유전체막은 PZT 막을 사용하여 형성하고, 상기 상, 하부 시드막을 형성하는 단계는 상기 강유전체막의 상, 하 계면 특성을 동일하게 할 수 있는 물질, 예컨대, 상기 강유전체막을 구성하는 물질보다 결정화 온도가 낮고 상기 강유전체막을 구성하는 물질과 격자 상수가 유사한 강유전체를 사용하여 형성한다. 따라서  $\text{PbTiO}_3$ ,  $\text{TiO}_2$  또는 상기 강유전체막을 구성하는 PZT보다 Pb의 함량이 많거나 Ti/Zr의 값이 큰 PZT가 사용될 수 있다.

그리고 상기 하부 전극은 백금족 금속막, 도전성 산화물막 또는 백금족 금속막-도전성 산화물막의 이중막을 사용하여 형성하고, 상기 상부 전극을 형성하는 단계는 백금족 금속막, 도전성 산화물막 또는 도전성 산화물막-백금족 금속막의 이중막을 사용하여 형성한다.

본 발명에 따르면, 상, 하부 시드막에 의해 강유전체막의 상, 하 계면 특성이 동일하게 되기 때문에 하부 시드막-강유전체막-상부 시드막 구조를 포함하는 강유전체 메모리 장치에서는 임프린트와 같은 현상의 발생이 효과적으로 방지된다.

이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 첨부된 도면에서 여러 막과 영역들의 두께는 명료성을 위해서 강조되었다. 또한 어느 한 막이 다른 막 또는 기판위에 존재하는 것으로 지칭될 때, 다른 막 또는 기판 바로 위에 있을 수도 있고, 층간막이 존재할 수도 있다. 도면에서 동일참조부호는 동일부재를 나타낸다.

#### 강유전체 메모리 장치

도1에는 강유전체 커패시터에 축적된 전하량의 변화를 검출하는 방식을 사용하는 본 발명의 제1 실시예에 의한 강유전체 메모리 장치의 단면도가 도시되어 있다.

반도체 기판(100)상에 게이트 절연막(102)을 개재하여 형성된 게이트(104)와 소오스 영역(106) 및 드레인 영역(107)으로 이루어진 트랜지스터가 형성되어 있다. 트랜지스터가 형성된 기판(100) 전면의 P36, BPS6, TEOS 및 USG 중에서 선택된 어느 하나로 이루어진 층간 절연막(108)이 적층되어 있으며, 층간 절연막내에 형성된 콘택 플러그(110)가 트랜지스터의 소오스 영역(106)과 접촉하고 있다. 콘택 플러그(110)상에 하부 전극(112)이 형성되어 있다. 하부 전극(112)상에는 하부 시드막(seed layer)(114), 강유전체막(116) 및 상부 시드막(118)으로 이루어진 유전체막(116)이 적층되어 있으며, 상부 시드막(118)상에 상부 전극(120)이 형성되어 강유전체 커패시터를 완성하고 있다.

강유전체막(116)의 상, 하부에 형성된 시드막(114, 118)은 강유전체막의 상, 하부의 계면 특성을 동일하게 하여 강유전체 커패시터에서 임프린트현상이 발생하는 것을 방지한다. 강유전체막(116)의 상, 하부에 형성된 시드막(114, 118)은 강유전체막(116)보다 결정화온도가 낮은 물질로 형성되는 것이 바람직하다. 그 이유는 강유전체막(116)을 안정한 페로브스카이트 구조로 결정화시키기 위한 열처리 공정시 상, 하부 시드막(114, 118)이 먼저 결정화되어 강유전체막(116)이 상, 하에서 중심방향으로 결정화되도록 함으로써 강유전체막(116)의 상, 하부 계면 특성을 동일하게 할 수 있기 때문이다. 그리고 상, 하부 시드막(114, 118)은 강유전체막(116)과 격자 상수가 유사한 강유전성을 지니는 물질로 형성되는 것이 더욱 바람직함은 물론이다.

예를 들어, 강유전체막(116)을 PZT를 사용하여 형성할 경우, 시드막(114, 118)은 PbTiO<sub>3</sub> 또는 TiO<sub>2</sub>를 사용하여 형성하는 것이 바람직하다. 또, 강유전체막을 구성하는 PZT보다 Pb의 함량이 풍부하고 Ti의 조성비가 높은 PZT도 시드막으로 사용될 수 있다. 기타 다른 구성 요소에 비해 Pb의 함량이 120% 이상이 되거나 Ti/Zr의 값이 48/52보다 클 경우 즉, Ti의 조성비가 높을 경우 결정화가 잘 일어나기 때문이다. 따라서 PZT막(116) 상, 하부에 형성된 시드막(114, 118)은 PZT막(116)의 열처리 공정시 PZT막(116)보다 먼저 결정화되기 때문에 PZT막이 상, 하에서 중심방향으로 결정화되고 Pb와 같은 원소들이 상, 하부 전극막으로 확산되어 나가는 것이 방지된다. 따라서 PZT막의 상, 하부 계면이 동일하게 형성된다.

그리고 상, 하부 전극(120, 112)은 강유전체막(116)과의 계면에서 장벽 높이가 높은 특성을 가지며, 강유전체와의 반응성이 없는 안정한 물질로 형성되는 것이 바람직하다. 따라서 Pt, Ir, Ru 또는 Rh와 같은 백금족 금속이 전극 물질로 사용된다. 상, 하부 전극(120, 112)은 또, IrO<sub>2</sub>, RuO<sub>2</sub>, RhO<sub>2</sub> 또는 LaSrCoO<sub>3</sub> 등의 도전성 산화물막으로 형성하여 피로 특성을 개선할 있다.

도 2에는 강유전체 커패시터에 축적된 전하량의 변화를 검출하는 방식을 사용하는 본 발명의 제2 실시예에 의한 강유전체 메모리 장치의 단면도가 도시되어 있다. 본 발명의 제2 실시예에 따른 강유전체 메모리 장치가 제1 실시예에 따른 강유전체 메모리 장치와 다른 점은 하부 전극은 백금족 금속막(112) 및 도전성 산화물막(113)의 이중막으로 구성되고 상부 전극은 도전성 산화물막(119) 및 백금족 금속막(120)의 이중막으로 구성된다는 점에 있어서 차이가 있다. 도전성 산화물막(113, 119)을 상, 하부 전극의 구성 요소로 더 형성하는 이유는 백금족 금속막으로만 상, 하부 전극을 형성할 경우 커패시터에서 피로(fatigue)와 같은 현상이 발생하기 때문이다. 따라서 상, 하부 시드막과 상, 하부 백금족 금속막 사이에 각각 도전성 산화물막을 더 형성함으로써 커패시터의 피로 특성을 개선한다. 최종적으로 얻어지는 커패시터는 하부 백금족 금속막-하부 도전성 산화물막-하부 시드막-강유전체막-상부 시드막-상부 도전성 산화물막-상부 백금족 금속막으로 구성되며 강유전체막을 기준으로 대칭구조를 형성한다. 따라서 본 발명의 제2 실시예에 의한 강유전체 메모리 장치에서도 임프린트 현상이 방지될은 물론이다.

도전성 산화물막(113, 119)을 형성하는 물질로는 IrO<sub>2</sub>, RuO<sub>2</sub>, RhO<sub>2</sub> 또는 LaSrCoO<sub>3</sub> 등이 사용되는 것이 바람직하다.

도 3에는 본 발명의 제3 실시예에 따른 강유전체의 자발분극에 의한 반도체의 저항변화를 검출하는 방식을 사용하는 강유전체 메모리 장치의 단면도가 도시되어 있다.

반도체 기판(300)상에 게이트 절연막(303)이 형성되어 있고, 게이트 절연막(303) 상에 하부 전극(304), 하부 시드막(306), 강유전체막(308), 상부 시드막(310) 및 상부 전극(312)이 차례대로 형성되어 있다. 또한, 상기 게이트 절연막(303)의 가장자리에 인접한 반도체 기판(300)의 표면에 소오스 및 드레인 영역(301, 302)이 형성되어 있다.

도 3에 도시되어 있는 강유전체 메모리 장치는 강유전체 커패시터가 갖는 극성 방향에 따라 게이트 절연막(303) 아래의 반도체 기판(300) 표면에 채널의 유기여부가 결정된다. 예컨대 채널이 도통상태이면 1, 비도통상태이면 0으로 인식한다.

제3 실시예에 따른 강유전체 메모리 장치는 메모리셀이 하나의 트랜지스터로만 형성된다는 점에 있어서 메모리셀이 하나의 트랜지스터와 하나의 커패시터로 구성된 제1 실시예의 강유전체 메모리 장치와 차이가 있을 뿐, 하부 전극-하부 시드막-강유전체막-상부 시드막-상부 전극의 구조를 이루고 있는 커패시터를 채용하고 있다는 점에 있어서는 동일하다. 따라서 각 구성 요소에 대한 설명은 생략한다.

도 4에는 본 발명의 제4 실시예에 따른 강유전체의 자발분극에 의한 반도체의 저항변화를 검출하는 방식을 사용하는 강유전체 메모리 장치의 단면도가 도시되어 있다.

제4 실시예는 상, 하부 시드막(306, 310)과 상, 하부 전극(304, 312) 사이에 각각 도전성 산화물막(305, 311)을 더 구비한다는 점에 있어서만 제3 실시예와 차이가 있다. 도전성 산화물막(305, 311)을 형성하는 이유는 제2 실시예에서 설명한 바와 같다.

강유전체 메모리 장치의 제조 방법

본 발명의 제1 실시예에 의한 강유전체 메모리 장치의 제조 방법을 도5 내지 도7을 참조하여 설명한다.

도 5를 참조하면, 반도체기판(100) 상에 게이트절연막(102), 게이트전극(104), 소오스 영역(106) 및 드레인 영역(107)을 구비하는 트랜지스터를 통상의 방법을 사용하여 형성한다. 이어서, 결과물 전면에 PSG, BPSG, TEOS 및 USG 중에서 선택된 어느 하나의 절연물질을 증착한 다음 평탄화하여 층간절연막(108)을 형성한다. 다음에, 층간절연막(108)을 부분적으로 식각하여 소오스 영역(106)을 노출시키는 콘택홀을 형성한 후 콘택홀을 도전물질로 채움으로써, 트랜지스터의 소오스와 커패시터의 하부전극을 연결하는 도전성 플러그(110)를 형성한다.

다음에 도전성 플러그(112)가 형성된 결과물 상에 커패시터의 하부전극을 형성하기 위한 물질을 증착한 후, 통상의 사진식각 공정을 사용하여 패터닝함으로써 커패시터의 하부전극(112)을 형성한다. 이 때, 커패시터의 하부 전극(112)은 Pt, Ir, Ru 또는 Rh와 같은 백금족 금속, 또는  $\text{IrO}_x$ ,  $\text{RuO}_x$ ,  $\text{RhO}_x$  또는  $\text{LaSrCoO}_x$  등의 도전성 산화물 또는 백금족 금속막-도전성 산화물막의 이중막으로 형성한다.

도 6을 참고하면, 하부 전극(112)이 형성된 결과물 전면에 하부 시드막(114), 강유전체막(116) 및 상부 시드막(118)을 차례대로 형성한다. 상부 시드막(118)까지 형성한 후에 결과물 전면을 열처리하여 강유전체막(116)의 페로브스카이트 구조를 결정화시키고 동시에 안정화시킨다.

이 때, 하부 시드막(114) 및 상부 시드막(118)은 열처리 공정시 강유전체막(116)이 막 전체에 걸쳐 균일하고 안정한 페로브스카이트 구조로 결정화되도록하여 강유전체막(116)의 상, 하부 계면 특성을 동일하게 하는 물질로 형성하여야 한다. 따라서 강유전체막(116)보다 결정화온도가 낮은 물질로 형성되는 것이 바람직하다. 또, 강유전체막(116)과 격자 상수가 유사한 물질로 형성되는 것이 바람직하다. 그 이유는 열처리 공정시 강유전체막(116)보다 상, 하부의 시드막(114, 118)이 먼저 결정화되면 강유전체막(116)의 상, 하에서 중심방향으로 결정화가 일어나기 때문에 강유전체막(116)의 상, 하부 계면이 동일하게 형성되기 때문이다. 또, 시드막(114, 118)은 커패시터의 커패시턴스를 고려할 때 강유전성을 지니는 물질로 형성되는 것이 더욱 바람직함은 물론이다.

그러므로 강유전체막(116)을 PZT로 형성할 경우, 시드막(114, 118)은  $\text{PbTiO}_3$ ,  $\text{TiO}_2$  또는 강유전체막(116)을 구성하는 PZT막보다 Pb의 함량이 풍부하고 Ti의 조성비가 높은 PZT를 사용하여 형성한다. 예를 들어, PZT막에서 기타 다른 구성 요소에 비해 Pb의 함량이 120% 이상이 되거나 Ti/Zr의 값이 48/52보다 클 경우 즉, Ti의 조성비가 높을 경우 결정화가 잘 일어난다.

하부 시드막(114)을  $\text{PbTiO}_3$ 를 이용하여 형성할 경우, 스퍼터링 방법, 금속 유기 화학 기상 증착(MOCVD)법 또는 졸-겔(sol-gel)방법을 이용하여 형성할 수 있다.

MOCVD방법을 사용할 경우, CVD 소스로서 테트라에틸 납(tetra-ethyl lead) 및 티타늄 이소프로폭사이드(titanium isopropoxide)등을 사용한다.

졸-겔(sol-gel) 방법을 사용할 경우에는, 아세트산납(lead acetate) 및 티타늄 이소프로폭사이드의 혼합 용액을 회전 코팅하여 반도체 기판(100)상에 증착한 후, 500~700°C 범위에서 열처리하여 형성한다.

하부 시드막(114)은 200 Å 이하 두께로 형성하는 것이 바람직하다.

강유전체막(116) 또한 스퍼터링 방법, 금속 유기 화학 기상 증착방법 또는 졸-겔(sol-gel)방법으로 형성한다. 강유전체막은 페로브스카이트 구조의 산화물, 예컨대 PZT를 이용하여 형성한다.

PZT막을 스퍼터링 방법으로 증착할 경우, PZT 타겟(예:  $\text{Pb}(\text{Zr}_{0.5}\text{Ti}_{0.5})\text{O}_3 + \text{PbO}$ (20 몰 %))의 조성을 갖는 타겟을 이용하여 기판온도를 450 ~ 650°C로 하고 챔버압력은 1 ~ 10mTorr로 유지하면서 아르곤(Ar)과 산소( $\text{O}_2$ )가 함유된 분위기에서 증착한다. 그리고, CVD 방법을 이용하여 증착할 경우에는, CVD 소스로서 테트라에틸 납, 티타늄 이소프로폭사이드 및 지르코늄 부톡사이드(zirconium n-butoxide)를 조성분으로 사용하고, 산화가스로는 산소( $\text{O}_2$ )에 이질화산소( $\text{N}_2\text{O}$ )가 10 ~ 50% 정도 함유된 소스를 운반가스인 아르곤(Ar)에 실어 기판온도 450 ~ 800°C, 챔버압력 0.1 ~ 10Torr로 유지된 챔버속으로 흘러들으로써 증착한다.

상부 시드막(118)은 하부 시드막(114)과 동일한 방법으로 형성한다.

도 7을 참조하면, 하부 전극(112)과 동일한 물질을 사용하여 상부 시드막(118)상에 상부 전극(120)을 형성한다. 하부 전극(112)과 동일한 물질을 사용하는 이유는 강유전체막(116)을 기준으로 상, 하부 구성 요소들이 대칭이 되도록 하는 것이 임프린트 방식에 즉, 강유전체막(116)의 상, 하부 계면 특성을 동일하게 하는데 도움이 되기 때문이다.

마지막으로 통상의 사진식각 공정을 통해 상부 전극(118), 상부 시드막(118), 강유전체막(116) 및 하부 시드막(114)을 셀 단위로 패터닝하여 커패시터 셀 유닛을 완성한다.

도면 및 상세한 설명에서 본 발명의 바람직한 실시예가 기술되었고, 특정 용어가 사용되었으나, 이는 이하의 청구범위에 개시되어 있는 발명의 범주로 이를 제한하고자 하는 목적이 아니라 기술적인 개념에서 사용된 것이다. 따라서 본 발명은 상기 실시예에 한정되지 않고 당업자의 수준에서 그 변형 및 개량이 가능하다.

#### 발명의 효과

본 발명에 따른 강유전체 메모리 장치에서는 강유전체막의 상, 하부에 시드막을 구비한다. 강유전체막의 상, 하부에 형성된 시드막은 강유전체막의 상, 하부의 계면 특성을 동일하게 하여 강유전체 커패시터에서 임프린트현상이 발생하는 것을 방지한다. 즉, 상, 하 시드막은 강유전체막의 열처리 공정시 강유전체막보다 먼저 결정화되어 강유전체막이 상, 하에서 중심방향으로 결정화되도록 한다. 따라서 강유전체막

의 상, 하부 계면 특성이 동일하게 되어 강유전체 커패시터의 특성이 향상된다.

#### (57) 청구의 범위

**청구항 1.** 반도체 기판상에 형성된 하부 전극;

상기 하부 전극상에 형성된 하부 시드막;

상기 하부 시드막상에 형성된 강유전체막;

상기 강유전체막상에 형성된 상부 시드막; 및

상기 상부 시드막상에 형성된 상부 전극으로 이루어진 강유전체 커패시터를 구비하는 것을 특징으로 하는 강유전체 메모리 장치.

**청구항 2.** 제1항에 있어서, 상기 강유전체막은 PZT 막인 것을 특징으로 하는 강유전체 메모리 장치.

**청구항 3.** 제1항에 있어서, 상기 상, 하부 시드막은 상기 강유전체막의 상, 하 계면 특성을 동일하게 하기 위하여 형성된 막인 것을 특징으로 하는 강유전체 메모리 장치.

**청구항 4.** 제3항에 있어서, 상기 상, 하부 시드막을 형성하는 물질은 상기 강유전체막을 구성하는 물질보다 결정화온도가 낮은 물질인 것을 특징으로 하는 강유전체 메모리 장치.

**청구항 5.** 제4항에 있어서, 상기 상, 하부 시드막을 형성하는 물질은 상기 강유전체막을 구성하는 물질과 격자 상수가 유사한 강유전체인 것을 특징으로 하는 강유전체 메모리 장치.

**청구항 6.** 제3항에 있어서, 상기 상, 하부 시드막을 형성하는 물질은 각각  $PbTiO_3$ ,  $TiO_2$  또는 강유전체막을 구성하는 PZT보다 Pb의 함량이 많거나 Ti/Zr의 값이 큰 PZT인 것을 특징으로 하는 강유전체 메모리 장치.

**청구항 7.** 제1항에 있어서, 상기 상, 하부 전극은 각각 백금족 금속막, 도전성 산화물막 또는 백금족 금속막-도전성 산화물막의 이중막으로 형성된 것을 특징으로 하는 강유전체 메모리 장치.

**청구항 8.** 제1항에 있어서, 상기 반도체 기판과 하부 전극 사이에 스위칭 소자 및 스위칭 소자를 덮는 층간 절연막을 더 구비하며,

상기 층간 절연막 내에 형성된 콘택홀을 통해 상기 하부 전극과 상기 스위칭 소자의 소오스 영역이 연결되는 것을 특징으로 하는 강유전체 메모리 장치.

**청구항 9.** 제1항에 있어서, 상기 반도체 기판과 하부 전극 사이에 게이트 절연막; 및

상기 게이트 절연막의 가장자리에 인접한 상기 반도체 기판의 표면에 소오스 및 드레인 영역을 더 구비하는 것을 특징으로 하는 강유전체 메모리 장치.

**청구항 10.** 반도체 기판;

상기 반도체 기판상에 백금족 금속막, 도전성 산화물막 또는 백금족 금속막-도전성 산화물막의 이중막으로 형성된 하부 전극;

상기 하부 전극상에  $PbTiO_3$ ,  $TiO_2$  또는 그 위에 형성되는 PZT보다 Pb의 함량이 많거나 Ti/Zr의 값이 큰 PZT로 구성된 하부 시드막;

상기 하부 시드막상에 형성된 PZT막;

상기 PZT막상에 형성되고 상기 하부 시드막과 동일 물질로 형성된 상부 시드막; 및

상기 상부 시드막상에 형성되고 백금족 금속막, 도전성 산화물막 또는 도전성 산화물막-백금족 금속막의 이중막으로 형성된 상부 전극을 구비하는 것을 특징으로 하는 강유전체 메모리 장치.

**청구항 11.** 반도체 기판상에 하부 전극을 형성하는 단계;

상기 하부 전극상에 하부 시드막을 형성하는 단계;

상기 하부 시드막상에 강유전체막을 형성하는 단계;

상기 강유전체막상에 상부 시드막을 형성하는 단계;

상기 상부 시드막이 형성된 결과물을 열처리하여 상기 강유전체막을 안정한 페로브스카이트 결정 구조로 만들고 상기 강유전체막의 상, 하 계면을 동일하게 만드는 단계; 및

상기 상부 시드막상에 상부 전극을 형성하는 단계를 구비하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

**청구항 12.** 제11항에 있어서, 상기 강유전체막을 형성하는 단계는 PZT 막을 사용하여 강유전체막을 형성하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

**청구항 13.** 제11항에 있어서, 상기 하부 시드막을 형성하는 단계 및 상기 상부 시드막을 형성하는 단계는 상기 강유전체막의 상, 하 계면 특성을 동일하게 할 수 있는 물질을 사용하여 상기 상, 하부 시드막을 형성하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

**청구항 14.** 제13항에 있어서, 상기 하부 시드막을 형성하는 단계 및 상기 상부 시드막을 형성하는 단계는 상기 강유전체막을 구성하는 물질보다 결정화 온도가 낮은 물질을 사용하여 상기 상, 하부 시드막을 형성하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

**정답 15.** 제 14항에 있어서, 상기 하부 시드막을 형성하는 단계 및 상기 상부 시드막을 형성하는 단계는 상기 강유전체막을 구성하는 물질과 격자 상수가 유사한 강유전체를 사용하여 상기 상, 하부 시드막을 형성하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

**청구항 16.** 제13항에 있어서, 상기 하부 시드막을 형성하는 단계 및 상기 상부 시드막을 형성하는 단계는 각각  $PbTiO_3$ ,  $TiO_2$  또는 상기 강유전체막을 구성하는 PZT보다 Pb의 함량이 많거나 Ti/Zr의 값이 PZT를 사용하여 상기 상, 하부 시드막을 형성하는 것을 특징으로 하는 강유전체 메모리 장치.

구항 17. 제11항에 있어서, 상기 하부 전극을 형성하는 단계는 백금족 금속막, 도전성 산화물막 또는 금속 산화물막을 이용하여 하부 전극을 형성하고,

순수한 재료로만 이루어진 것이 아니라, 다양한 재료와 기술을 접목하여 만들어진 것이기 때문이다. 또한, 이러한 재료와 기술의 발전은 우리의 삶을 더욱 편리하고 안전하게 만들어 줄 것이다.

**형구항 18.** 제11항에 있어서, 상기 하부 전극을 형성하는 단계 전에,

상기 반도체 기판상에 소오스/드레인 영역을 구비하는 스위칭 소자를 형성하는 단계;

상기 스위칭 소자가 형성된 반도체 기판 전면에 층간 절연막을 형성하는 단계;

상기 중간 절연막을 관통하여 상기 소오스 영역을 노출시키는 콘택홀을 형성하는 단계; 및

상기 본텍스트내에 상기 하부 전극과 전기적으로 연결되는 도전물질층을 매립하는 단계를 더 구비하는 것을 특징으로 하는 각오전체 메모리 장치의 제조 방법.

**형구합 19.** 제11항에 있어서, 상기 하부 전극을 형성하는 단계 전에

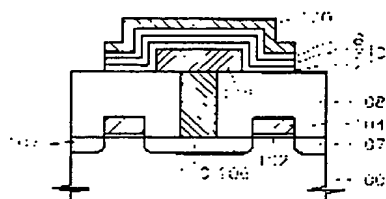
상기 반도체 기판상에 게이트 절연막을 형성하는 단계를 더 구비하고,

상기 상부 전극을 형성하는 단계 후에

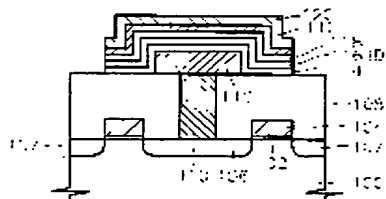
상기 상부 전극이 형성된 절연막과를 전면에서 불순물을 주입하여 상기 게이트 절연막의 가장자리에 인접한 반도체 기판상에 소오스-드레인 영역을 형성하는 단계를 더 구비하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법

58

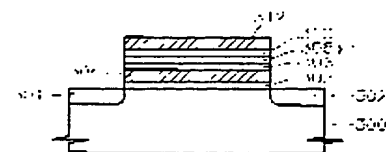
도표 1



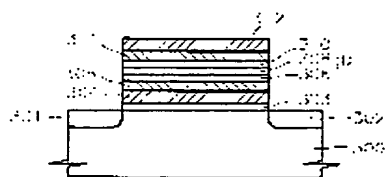
**도표2**



도 293

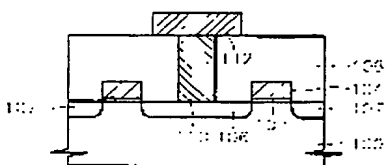


도 24

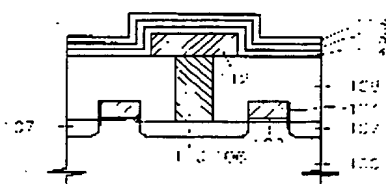


BEST AVAILABLE COPY

도 25



도 26



도 27

